

Les IT et les performances...

- Les ITs simplifient les algorithmes
 - Lancement à la demande
 - Peu de tests inutiles
 - => augmentation des performances par rapport à la scrutation
- PB : dans le déroulement d'une IT
 - Déclenchement (rupture de pipeline lié à l'application interrompue)
 - Sauvegarde du contexte (tous les registres processeurs sont sauvegardés)
 - Recherche de l'origine de l'interruption
 - Traitement de l'action
 - Instructions supplémentaires pour éventuellement gérer la cohérence des données
 - Restauration du contexte

Les IT et les performances...

- Les ITs simplifient les algorithmes mais sollicitent le processeur
- Les actions à faire sont parfois très simples
 - Lire des données une à la fois
 - Écrire des données une à la fois
- Amélioration des performances :
 - Utilisation de FIFO matérielle
 - Augmentation des coûts
 - Baisse des performances en terme de consommation
 - Ressources non mutualisées
 - Gaspillage des ressources
 - Utilisation de la mémoire centrale
 - Chaque périphérique peut lire/écrire dans la mémoire centrale au besoin
 - DMA : Direct Memory Access
 - Le processeur ne gère plus les données, mais les blocs de données...

DMA (Direct Memory Access)

- Sur bus de données :
 - Processeur = maître
 - Processeur != unique maître
- Un périphérique peut prendre le contrôle du bus
 - Transferts possibles
 - Périphérique vers mémoire
 - Mémoire vers Périphérique
 - Processeur bloqué pendant le transfert (c'est grave ?)
- Évènement généré (flag) en fin de transfert
 - Interruptions possibles sur ce flag
 - Possibilité de programmer un autre transfert

Compromis sur les performances

- Que sont les performances ?
 - La consommation ?
 - Le temps de calcul global ?
 - Le temps de réaction à un évènement ?
 - Évènement ponctuel (IT) ?
 - Évènement sur les données en entrée ?
- DMA sollicite moins le processeur / bus (données traitées par blocs)
- Temps de réaction à chaque nouvelle donnée :
 - Lié à sa position dans le bloc de données
 - Augmentation du jitter dans le temps de traitement
 - Apparition de propriétés non stationnaires

Baisse des performances temps réel du système

Canal DMA (version simple)

- Périphériques éligibles ont un canal DMA spécifique
 - Configuration:
 - l'adresse ou lire écrire les données
 - Le nombre de mot à lire/écrire
 - Et pis c'est tout !
- Le périphérique
 - Écrit (lit) en mémoire dès qu'une donnée est reçue (à envoyer)
 - Les registres réagissent sur le même front d'horloge (pas de problème de cohérence)
 - Bits de statut spécifiques dédiés au suivi du transfert

Canal DMA (version ~~low-cost~~ PIC32)

- Canal DMA générique (donc complexe)
 - C'est un périphérique dédié (avec plusieurs "canaux")
 - Moins de maîtres potentiels sur le bus (processeur et périphérique DMA)
- Configuration:
 - Adresses de lecture et d'écriture
 - Tailles : bloc de lecture / bloc d'écriture / données du transfert
 - Déclencheur : quel bit de statut ? (quelle demande d'IT ?)
 - Action à réaliser en fin de transfert (IT ? Autre transfert ?)
- Fonctions supplémentaires:
 - Utilisable pour la copie de donnée bête et méchante
 - Module calcul CRC
 - Très polyvalent

Canal DMA (version ~~low-cost~~ PIC32)

- Bref :
 - Plein de trucs à configurer...
- Le petit détail qui tue :
 - DMA = périphérique
 - On utilise les adresses physiques (pas les adresses logiques)
 - Encore plus de trucs à comprendre/configurer :(

Adresses physiques : kessecé

- Circuit de traduction d'adresses entre processeur et système
- Intérêt : plein, mais c'est le cours de système
- Coté processeur : adresses logiques
- Coté matériel (periphs) : adresses physiques

Et pis c'est tout !

- Ou presque...